

个人简历

姓名：蔡秋婷

出生年月：2003.08

民族：汉

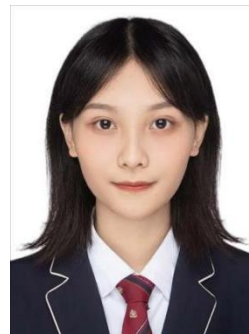
政治面貌：共青团员

电话：136 2593 3082

在读院校：福州大学

邮箱：gt.cai@outlook.com

学历：本科



教育背景

- ◆ 2022.9-2026.6: 福州大学 (“211”建设高校) 主修课程：数字电路；数字集成电路设计；半导体物理；

项目经历

- ◆ **2026年2月：设计16位串行输入、24位串行输出的MAC16乘积累加器**
 - 基于Modelsim完成模块化RTL设计，实现16位乘积累加、24位并行转串行输出。
 - 设计4级手工移位加流水线乘法器，每级处理4位部分积累加；
 - 完成基4-Booth编码+4-2压缩器树+混合加法器的优化版本，将部分积从16个减至9个，压缩树三级压缩。
 - 将16*16位的无符号数乘法根据输入时间不同划分成4个8*8乘法模块，使用多周期路径的设计方法以完成1GHz的频率要求；通过复用乘法器以完成面积优化
 - 设计带有FIFO缓冲并串转换模块，实现无间隔串行输出，解决计算与输出速率不匹配问题，完成RTL设计、功能仿真。
- ◆ **2024年12月：基于SMIC0.18μm工艺设计64位无符号超前进位加法器**

使用Cadence Virtuoso，基于SMIC0.18μm工艺，选择基4的Kogge-Stone树、点操作层数3层。设计块进位产生G/块进位传播P电路、使用2/3/4位点操作单元以实现覆盖64位输出结果，设计进位单元（与或门）、求和单元（异或门），实现并行前缀计算，输入、输出通过D触发器进行锁存以实现数据稳定，达到延时1.15ns。

学生工作

- ◆ 2022.9-2023.6 作为班级团支部书记负责班级团务工作、团日活动组织、团员信息管理与材料报送，具备良好的沟通协调与执行力，工作认真负责。
- ◆ 2023.9-2024.6 作为班级生活委员负责班级日常事务、宿舍卫生管理、班级物资与费用统计，工作细致耐心，责任心强，善于服务同学。

个人技能

- ◆ 大学英语CET4、CET6，具有良好的阅读能力，快速浏览外文文件以及书籍。
- ◆ 掌握Verilog语言、Modelsim、Cadence Virtuoso、Innovus、Design Compiler的基本使用；
- ◆ 掌握Origin、Office办公软件的基本使用。